

PAT-NO: JP401036147A
DOCUMENT-IDENTIFIER: JP 01036147 A
TITLE: PHASE SYNCHRONIZING CIRCUIT FOR COMMUNICATION SYSTEM
PUBN-DATE: February 7, 1989

INVENTOR-INFORMATION:

NAME
AMAMIYA, SHIGEO
KOMINE, HIROAKI
SOEJIMA, TETSUO
MURANO, KAZUO
OKUMURA, YASUYUKI

ASSIGNEE-INFORMATION:

| | |
|-----------------------------------|---------|
| NAME | COUNTRY |
| FUJITSU LTD | N/A |
| NIPPON TELEGR & TELEPH CORP <NTT> | N/A |

APPL-NO: JP62190312
APPL-DATE: July 31, 1987

INT-CL (IPC): H04L011/00, H04J003/06 , H04L007/00

US-CL-CURRENT: 375/371

ABSTRACT:

PURPOSE: To attain the operation in response to various bus connection forms by generating a clock in response to a round trip delay between a master station and a slave station.

CONSTITUTION: A comparator circuit 14 judges that in which timing range generated by a timing generating circuit 13 a received frame phase is to be included thereby determining the round trip delay time. The delay amount is used to delay the transmission frame phase from a transmission frame phase delay circuit 12, and a selection circuit 16 selects an optimum signal among some signals being the result of delaying the signal of the transmission frame phase from a transmission frame phase delay circuit 12 or some signals being the result of delaying signals of the received frame phase outputted from a reception frame phase delay circuit 15 and uses the result as a reset signal, which resets a clock generating circuit 17 thereby switching the clock. Thus, the clock switched optimizingly is used as a data read clock. Then the titled circuit is applicable to various bus forms.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A)

昭64-36147

⑤ Int. Cl.

H 04 L 11/00
H 04 J 3/06
H 04 L 7/00

識別記号

3 2 1

庁内整理番号

7928-5K
D-6914-5K
A-6914-5K

④ 公開 昭和64年(1989)2月7日

審査請求 未請求 発明の数 1 (全14頁)

⑬ 発明の名称 通信システムの位相同期回路

⑭ 特 願 昭62-190312

⑮ 出 願 昭62(1987)7月31日

⑯ 発 明 者 雨 宮 成 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑰ 発 明 者 小 峰 浩 昭 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑱ 発 明 者 副 島 哲 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 青 木 朗 外3名

最終頁に続く

明 細 書

1. 発明の名称

通信システムの位相同期回路

2. 特許請求の範囲

1. 主局(N T)と複数の従局(T E₁ ~ T E_n)とがバス形態で接続され、主局が複数の従局に信号を送出しそれぞれの従局からの応答信号を受信し該受信信号に含まれるフレーム信号に回答したデータ読み取りクロックを発生させる通信システムの主局内に設けられた位相同期回路であって、

前記従局からの受信信号に含まれる受信フレーム信号を検出し受信フレーム位相信号(S R F)を出力する受信フレーム位相検出回路(11)、

該受信フレーム位相信号からある一定時間だけ遅延させた第1の遅延信号(S P_m+1 ~ S P_n)を出力する受信フレーム位相遅延回路(15)、

主局からの送信フレームのフレーム位相を示す送信フレーム位相信号(S T F)から前記時間とは異なるある一定時間だけ遅延させた第2の遅延延信号(S F₁ ~ S F_m)を出力する送信フレーム位相遅

延回路(12)、

前記送信フレーム位相信号に回答し、前記受信フレーム位相信号のタイミングを検出するタイミング信号(S T₁ ~ S T_n)を発生するタイミング信号発生回路(13)、

該タイミング信号および前記受信フレーム位相信号を入力し、前記受信フレーム位相信号の受信タイミングを検出する位相比較回路(14)、

該位相比較回路からの検出信号に回答し、前記第1および第2の遅延信号のいずれか1つに回答した遅延信号を発生する選択回路(16)、およびマスタクロック(M C K)に基き、前記選択回路からの信号に回答したタイミングでリセットされるデータ読み取りクロック(C L K)を発生するクロック発生回路(17)、

を具備する、通信システムの位相同期回路。

3. 発明の詳細な説明

(概 要)

L A N(Local Area Network)、ISDN(Integrated Service Digital Network)等における主局と複数

の従局がバス形態で結ばれている通信システムにおける主局の位相同期回路であり、種々のバス形態に適用可能としたものである。また主局と従局間の距離的制限を緩和させる位相同期回路である。当該位相同期回路においては、受信フレーム位相がタイミング発生回路で発生するどのタイミング範囲に含まれるかを比較回路において判断し、ラウンド・トリップ・ディレイ時間を決定する。そのディレイ量を用いて送信フレーム位相遅延回路より出力された送信フレーム位相を遅延したいくつかの信号、あるいは受信フレーム位相遅延回路より出力された受信フレーム位相を遅延したいくつかの信号の中から最適なものを選択回路によって選び、リセット信号として、クロック発生回路をリセットしてクロックを切り換える。このようにして最適に切り換えられたクロックをデータ読み取りクロックとして用いる。

(産業上の利用分野)

本発明はLAN、ISDN等における主局と複数の

従局がバス形態で結ばれている通信システムに関するものであり、さらに詳しく述べると、複数の従局と高信頼性で通信を可能とし、種々のバス形態に適用でき、さらに従局との接続距離を延長させ得るため主局に設けられる位相同期回路のクロック切換方式に関する。

例えば、ISDNにおけるユーザ・網インタフェースとして、CCITTにおいてIシリーズ勧告群として勧告化され、Iインタフェースと呼ばれているものがある。このIインタフェース中の基本アクセスにおけるレイヤ1(1-430)の諸元を表1に示す。

以下余白

表-1

| 項 目 | 諸 元 |
|--------------|---|
| 情報容量 | B + B + D (144kb/s) B : 情報 (音声、データ等) : 64kb/s D : 加入者線信号、低速データ : 16kb/s |
| 伝送速度 | 192 kb/s |
| 伝送符号 | 100 % AMI |
| 配線形態 | ① Simple Bus ~ 150m ② Extended Bus 500m ③ Point to Point 1km |
| 端末台数 | 最大 8 端末 |
| Dチャンネル競合制御方式 | エコ-Dチャンネル 勝ち残り方式 |
| リンクレイヤプロトコル | LAP-D |

また伝送路上の信号フレーム構成を第4図(a)(b)に示す。第4図(a)は主局(NT)から従局(TE)への送信信号フレームを示し、第4図(b)は従局から主局への送信信号フレームを示す。表-1の伝送符号100%AMIは第4図(a)(b)の右側に図示の如く、3値情報"0"、

"1"、"0"を+ (正レベル)、G (接地レベル)、- (負レベル) として符号化したものである。3値信号としているのはDC分は含ませないためである。第4図(a)(b)内の符号の内容を下記表-2に示す。

表-2

F : フレーミング (フレーム) ビット
L : DC バランシングビット
D : Dチャンネルビット
E : Dエコーチャネルビット
Fa : 補助フレーミング (フレーム) ビット
N : 2進値 $N = \overline{Fa}$ にセットするビット
B1 : Bチャンネル1内のビット
B2 : Bチャンネル2内のビット
A : アクチベーション用ビット
S : 予備
M : マルチフレーミング (マルチフレーム) ビット
Q : Qチャンネルビット
Iインタフェースの特徴は線路を4線とし、第3図に図示の如く、主局となる網終端装置NT

(Network Termination) と複数の加入者端末 T E (Terminal Equipment) との接続形態をバス形態としている点である。また表-1でも示されるように伝送符号として三値符号である 100%AMI を用い、フレーム信号としてバイオレーションを用いている。バス形態を用いているために、特に伝送時間が比較的に遅い導電体を用いてバス接続した場合、上り方向 (T E → N T) では第3図に示すように、それぞれ異なる距離にある各加入者端末 T E よりデータが網終端装置 N T に向けられ送出されるので、N T の入力端でパルスに位相差 (i 番目の T E i の場合往復伝送時間 $2T_{pi}$) が生じる。これらの往復伝送時間 (ラウンド・トリップ時間) $T_{p1} \sim T_{pn}$ 全てについて1タイムスロットについてみると、第5図に図示の如く、アイバターンの開口部が狭くなる。その位相差 $2T_{pi}$ が1タイムスロット以上になるとアイバターンの開口部が無くなり、N T では各 T E からのデータを識別できず、結局データを読めなくなる。そのため N T 側で各 T E からのデータを安定して読み取る

ために、N T - T E 間の往復伝送時間 $2T_{pi}$ を1タイムスロットより小さくする必要がある。換言すれば、バスの長さに制限が必要となってくる。

そこで、1インタフェースでは表-1および第8図 (a) ~ (c) に示すように配線形態を三つに分け各々についてバス長制限を規定している。

N T における位相同期方式として第8図 (a) に図示のシンプルバス形態をとった場合、T E 相互間距離が大きく N T 受信点において T E 相互間に大きな信号位相差があり、ディジタル位相同期ループ回路 (DPLL) を用いた位相同期方式では DPLL が大きなクロックジッタを生じるため、データを安定して読み取ることができない。この場合には距離を最長 150m と制限し (この場合最大一巡遅延時間 (ラウンド・トリップ遅延時間) は最大 $4\mu s$ になる)、固定位相でサンプリングする方法が望ましい。

一方、第8図 (b) (c) に図示の如く、N T - T E 間距離の長い拡張バス接続あるいはポイント・ツー・ポイント接続の場合はラウンド・トリップ

時間が大きくなり固定位相方式を使うことができない。また T E 相互間距離が短いためにこれによる位相差は無視しうることから、DPLL を用いて位相同期をすべきである。

このように、接続形態が異なる場合異なる位相同期回路を設けた N T を用意する必要があり、不便でありコスト高となるため、これらの接続形態を1台の N T で利用できるような位相同期回路技術が望まれている。

また、第8図 (a) ~ (c) に図示の如きバス長の制限はユーザとしては使いにくいシステムとなるため、バス長制限をできるだけ拡張することが要求されている。

(従来の技術)

そのため、従来では、例えば1インタフェースの N T 等に適用されている位相同期回路として、第8図 (a) ~ (c) に示す各接続形態に適用できるだけでなく、N T - T E 間距離に関しては時間制限を受けず、また N T - T E 相互間距離に関

しては最大1タイムスロットの80%程度の時間に相当する距離まで延長可能となり、バス長の制限を緩和することを可能とする N T の位相同期回路技術として、フィード・フォワード型固定タイミング方式 (FFFT 方式) がすでに提案されている (例えば、特願昭62-97747号)。

FFFT 方式の位相同期回路の構成を第9図に示す。またその動作を説明するタイムチャートを第10図 (a) ~ (e) に示す。

伝送符号は三値の 100%AMI 符号であるため、レシーバ (図示せず) で受信データとして + 側受信データ S R D + と - 側受信データ S R D - に分け、フレーム位相検出回路 (FDET) 31 に入力される。フレーム位相検出回路 31 ではフレーム位相 F (第10図 (a)) を検出し、フレーム位相 F に合せて受信パルス R F (第10図 (c)) を出力する。ここでは、第10図 (c) に S R F として示されるようにフレームパルス F の立ち下がりパルス S R F を出力している。1インタフェースの場合、フレームとしてバイオレーションを用いて

いるため、フレーム位相を立ち上がりで検出しようとする、フレームの前のDCバランシングビットがパルスの場合にはフレーム位相が判らないため、フレーム位相を立ち下がりで検出している。また、複数のTEがフレームビットFを出力している時、このフレーム立ち下がり位相はNTより距離的に最近のTEの出力フレームの立ち下がり一致することが知られている。このSRFはリセット信号発生回路(RST-GEN)32に入力され、所定の遅延 τ_{10} を与える。遅延された信号SRST(第10図(d))によりクロック発生回路(CK-GEN)33をリセットし、マスククロックMCK(7.68MHz)より位相調整したクロックCLK(192KHz)を作っている(第10図(e))。リセット信号発生回路32における遅延量 τ_{10} は以下より求まる。第11図(a)~(d)に示すように伝送データの1タイムスロットを $5.2\mu s$ 、TE間距離Ddiffに対応する時間TDdiffとして1タイムスロットの約80%の値、すなわち $4.0\mu s$ とすると、アイが $1.2\mu s$ となる(第11図(b))、

(c))。従って、アイの真中をクロックで打ち抜こうとした場合、NTからみて距離的に最も近いTEのフレームパルスの立ち下がり時点t1より $4.6\mu s$ 経過後の時点t2にクロックの立ち上がりがあるように、クロック発生回路33をリセットする必要がある。ただし、クロックのロウ部分が $2.6\mu s$ あるため、遅延量 τ_{10} は $4.6 - 2.6 = 2.0\mu s$ となる。

(発明が解決しようとする問題点)

以上のFFFT方式を用いた場合、CCITTで考えられている方式と比較し、伝送特性上不利な点がある。

その第1の問題点としてシンプルバス接続に適用された場合の問題について述べる。前記のFFFT位相同期回路方式では受信フレームを検出し、その検出結果によりクロック発生回路をリセットする方式を用いている。ところが、受信フレームはジッタを持っていることから、第12図(e)に示されるようにそのクロックもジッタを持ってい

る。これに対し、第12図(f)に図示の如く、固定位相のクロックはジッタをほとんど持っていない。以上よりジッタの少ない固定位相のクロックの方がより端末間距離Ddiffを延ばすことができ、また伝送路上のノイズにも強いので、固定位相クロックを用いることが、FFFTのクロックよりシンプルバスの伝送特性に関しては有利である。換言すれば、FFFT方式は、シンプルバス形態において、固定位相クロック方式に対し性能的に劣る。

第2の問題点としてポイント・ツー・ポイント接続に適用された場合の問題について述べる。ポイント・ツー・ポイントの場合でもNT-TE間距離が短い場合は第13図(a)~(c)に示されるようにジッタは比較的小さいから、FFFTの出力クロックで十分データを読み取れる。しかしNT-TE間距離が長くなると第14図(a)~(d)に示されるようにケーブルの容量等でジッタ域が大きくなり、また波形が劣化しデータの振幅読み取りスレシールドTHに近付くためアイが狭くなる。このアイ開口位置はスレシールドTH

およびケーブルの特性等から一般的に求めることができ、クロックの立ち上がりをこのアイ開口位置に合うようにすることが望ましい。しかしFFFTではシンプルバス形態への適用を考えて、データ読み取り位置が前記のように距離的に最近端末のデータ変化点に対して $4.6\mu s$ 後方と固定しているため、このアイ開口位置と合わず、伝送距離が延びないという問題がある。

従って依然として、第8図に図示の1インターフェースにおけるいずれの配線形態にも高信頼度で適用できる位相同期回路が要求されている。更に、従局相互間および従局と主局との間の距離的制限が、1インタフェースの値以上に緩和されることが望まれている。

(問題を解決するための手段)

第1図に本発明の位相同期回路の原理ブロック図を示す。位相同期回路は、主局と複数の従局とが4線式バス接続され、伝送符号として100%AMIを用いる通信システムの主局に設けられる。

第1図において、位相同期回路は、受信フレーム位相検出回路11、送信フレーム位相遅延回路12、タイミング信号発生回路13、位相比較回路14、受信フレーム位相遅延回路15、選択回路16およびクロック発生回路17が図示の如く接続されて成る。マスタークロックMCKがクロック発生回路17に接続されている外、上記前回路11~16にも接続されており、第1図の回路はマスタークロックMCKに同期して動作する。

受信フレーム位相検出回路11は、第9図に図示の従来のフレーム位相検出回路31と同様であり、主局内のレシーバ(図示せず)が第4図に図示の形態の3値AMI信号を入力し+側受信データSRD+と-側受信データSRD-とに分けた両信号を入力し、フレーム位相Fを検出し、フレーム位相に合わせて3値から2値に変換された受信パルスSRFを出力する。クロック発生回路17それ自体は、第9図のクロック発生回路33と同様であり、マスタークロックMCKを入力し選択回路16からのリセット信号SRSTによって

リセットされる毎にクロックパルスCLKを出力する。

送信フレーム位相遅延回路12は、送信フレーム位相を示す信号STFを入力し、 m 個の遅延信号SP1~SP m を選択回路16に出力する。これらの遅延信号は基準の送信フレーム信号STFに対して固定的であり、固定位相をもつ。タイミング信号発生回路13は送信フレーム信号STFを入力し、 n 個のタイミング信号ST1~ST n を位相比較回路14に出力する。位相比較回路14はタイミング信号発生回路13のタイミング信号ST1~ST n と受信フレーム位相検出回路11からの受信パルスSRFとを比較し、受信パルスSRFがタイミング信号ST1~ST n のどの範囲に含まれるかを検出し、対応する選択信号を選択回路16に出力する。受信フレーム位相遅延回路15は、受信フレーム位相検出回路11からの信号SRFに基づいて($n-m$)個の遅延信号SP n ~SP $n+1$ を選択回路16に出力する。信号SRFは送信フレーム信号STFと異なりラウンド・トリップ時間に

より異なるので、信号SRFに対して遅延された信号SP n ~SP $n+1$ は固定位相ではない。選択回路16は、比較回路14からの選択信号SS1~SS n に基づいて、送信フレーム位相遅延回路12からそれぞれが固定位相の遅延信号SP1~SP m 又は受信フレーム位相遅延回路15からの遅延信号SP $m+1$ ~SP n のうち1つを選択してリセット信号SRSTを出力する。

(作 用)

第1図の位相同期回路の動作を第2図(a)~(g)のタイミングチャートを参照して述べる。

送信フレーム位相信号STFを入力すると(第2図(a))、タイミング信号発生回路13がタイミング信号ST1~ST n を出力する(第2図(b)(d))。タイミング信号ST1~ST n は、受信フレーム位相をみて受信データ読取りクロックを固定位相のクロックとした方が有利な範囲、すなわちシンプルバス接続形態の位相同期用のタイミングに設定されている。特にタイミング信号ST1は

主局と該主局に対し最も近い距離にある従局、例えば第3図の従局TE1との間のラウンド・トリップ・ディレイ T_{p1} に基いて規定されたものである。一方タイミング信号ST $m+1$ ~ST n は受信データ読取りクロックの立上りがバス形態用に受信データの後方で立上る方が有利な範囲、すなわち拡張バス接続形態の位相同期タイミングに設定されている。その他が、受信データ読取りクロックの立ち上りがバス形態用に受信データの中央付近、すなわちアイの中心付近で立ち上がる方が有利な範囲、すなわちポイント・ツー・ポイント接続形態の位相同期タイミングとなる。

受信パルスSRFが i 番目のタイミング信号ST i と一致すると(第2図(c)(e))、位相比較回路14は i 番目の選択信号SS i を"0"、他の選択信号を"1"とする。これにより選択回路16が i 番目の遅延信号SP i 、その遅延時間は τ_i 、に応じたりセット信号SRSTをクロック発生回路17に出力する。クロック発生回路17はリセット信号SRSTに応じてリセットされるクロッ

クCLKを発生する。

以上の如く、主局と従局との間のラウンド・トリップ・ディレイに応じてクロックCLKを発生させるので、主局は第3図に図示の如き種々のバス接続形態に応じて動作し得る。また、その信号伝搬タイミングは第5図に示されるように十分アイが確保でき、確実な信号識別が可能となる。更に、シングルバス方式の場合受信データ読取クロックの立上りでクロックを発生させるのでタイミングの裕度が拡大し最長距離を延長可能とすることができ、同様にポイント・ツー・ポイント方式においてもアイの中心にクロックを発生させるので最長距離を延長可能とすることができる。

(実施例)

第6図は本発明の一実施例として、1インタフェースのNTの位相同期回路に適用した場合の一例を示す。また第7図(a)～(p)にこの実施例を説明するための動作タイムチャートを示す。この実施例は、 $n=3$ 、 $m=1$ の場合である。

一方、3値のAMI符号である伝送符号は、レシーバから受信データとして+側RD信号SRD+と-側RD信号SRD-に分けられ、受信フレーム位相検出回路11aに入力される。受信フレーム位相検出回路では受信フレーム信号F(第7図(g))に基いて受信フレーム位相を検出し、そのフレーム位相に2値に変換されたパルスSRF(第7図(i))を出力する。このSRFを受信フレーム位相遅延回路で遅延し、それぞれ遅延時間 τ_2 、 τ_3 の遅延信号SF2、SF3を出力する。これらの遅延時間としては、例えば $\tau_2=2\mu s$ 、 $\tau_3=1\mu s$ である。比較回路14aではSRFのタイミングがST1の範囲にある場合に出力である選択信号SS1を"0"とし、SS2は"1"とする。選択回路14aはSS1が"0"の時、1をリセット信号SRSTとして選択する。SRFがST2の範囲にある場合は、SS1="1"、SS2="0"にされ、SF2がリセット信号SRSTとして選択される。一方SS1=SS2="1"の場合は、SF3をリセット信号SRSTとし

外部からの送信フレーム位相を示す信号STF(第7図(c))がタイミング信号発生回路13aに印加されると、該回路はタイミング信号ST1およびST2を出力する(第7図(d)(e))。ST1はNT-最近TE間のラウンド・トリップ・ディレイ、即ち受信フレーム位相を見て、受信データ読み取りクロックを固定位相のクロックとした方が有利な範囲であることを示している。これは主としてシングルバスに用いられる。ST2は受信データ読み取りクロックの立ち上がり方がバス形態用に受信データの後方で立ち上がる方が有利な範囲を示している。これは主として拡張バスに用いられる。またST1、ST2以外の範囲は受信データ読み取りクロックの立ち上がり方がバス形態用に受信データの中央付近で立ち上がる方が有利な範囲を示している。これは主としてポイント・ツー・ポイントに用いられる。STFはまた送信フレーム位相遅延回路12aで遅延され、遅延時間 τ_1 の遅延信号SF1が出力される(第7図(f))。この遅延時間 τ_1 は、1例として $12\mu s$ である。

て出力する。クロック発生回路17aはこれらの信号のいずれかによりリセットされる。すなわち、SF1でリセットされれば第7図(n)のクロックCLK1、SF2でリセットされれば第7図(o)のクロックCLK2、SF3でリセットされれば、第7図(p)のクロックCLK3が出力される。すなわち、網終端装置(NT)と端末装置(TE)とが非常に近くにあれば、タイミング信号ST1に対応し、SF1に基づく固定位相のクロックCLK1によりジッタの影響を受けない位相同期が図られる。これはシングルバスの場合に相当する。NT-TE間が少し遠くなると、タイミング信号ST2に対応し、受信フレーム信号SRFに基づく遅延信号SF2でクロックCLK2がリセットされる。このクロックCLK2は立ち上がり方がデータの後方となる。これは拡張バスの場合に相当する。更にNT-TE間距離が大きくなるとクロックCLK3がデータの中央となる。これはポイント・ツー・ポイントの場合に相当するが、データの中央、すなわちアイの中心にクロ

ックCLK3が位置するので裕度が大となり、距離を第8図(c)に図示の1kmより大きくすることができる。その距離は例えば1.2kmである。

尚、本実施例ではマスタクロックMCKの周波数は7.68MHz、クロックCLKの周波数は、192KHzである。

(発明の効果)

以上に述べたように、本発明の位相同期回路はシンプルバス、拡張バスおよびポイント・ツー・ポイントのいずれの通信システムにも、調整を要せず、適用できる。

また本発明の位相同期回路を用いると主局と従局との距離および従局相互間の距離的制限を緩和することができる。

4. 図面の簡単な説明

第1図は本発明の位相同期回路の原理ブロック図、

第2図(a)～(g)は第1図位相同期回路の動作タイミングチャート、

第3図は本発明の位相同期回路が適用されるバス接続形態図、

第4図は本発明の位相同期回路に適用される信号フレーム構成図、

第5図は第3図における信号伝搬タイミング図、

第6図は本発明の実施例の位相同期回路図、

第7図(a)～(p)は第3図の位相同期回路の動作タイミングチャート、

第8図(a)～(c)は1インタフェースにおける配線形態図、

第9図は従来の位相同期回路図、

第10図(a)～(e)は第9図位相同期回路の動作タイミング図、

第11図(a)～(d)は遅延時間を求めることを説明するタイミング図、

第12図(a)～(f)、第13図(a)～(c)、第14図(a)～(d)は従来の位相同期回路の動作タイミング図、である。

(符号の説明)

11…受信フレーム位相検出回路、

12…送信フレーム位相遅延回路、

13…タイミング信号発生回路、

14…位相比較回路、

15…受信フレーム位相遅延回路、

16…選択回路、

17…クロック発生回路。

特許出願人

富士通株式会社

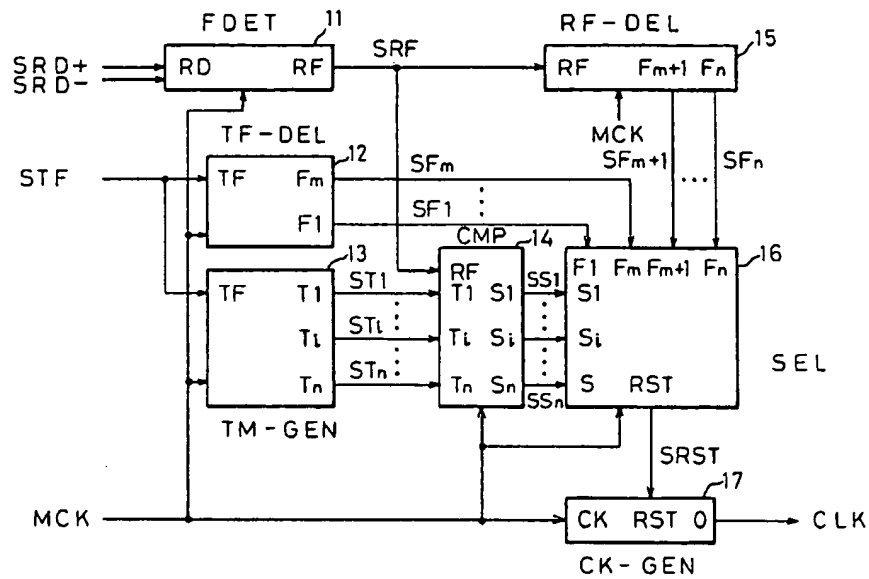
特許出願代理人

弁理士 青 木 朗

弁理士 西 館 和 之

弁理士 内 田 幸 男

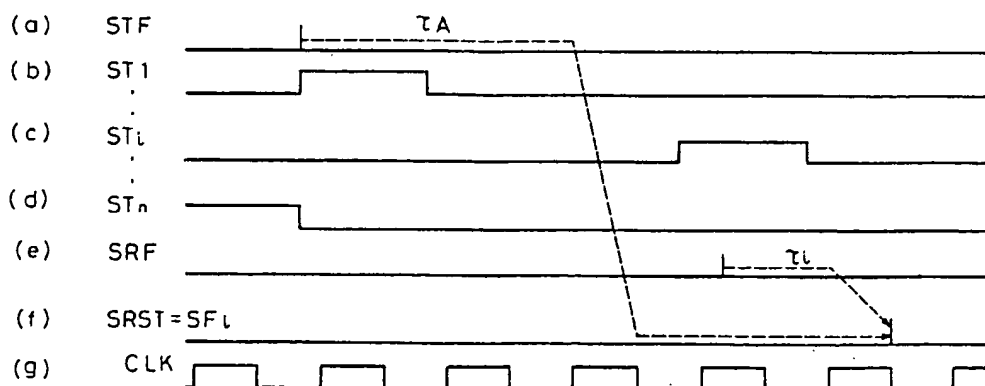
弁理士 山 口 昭 之



本発明の位相同期回路の原理ブロック図

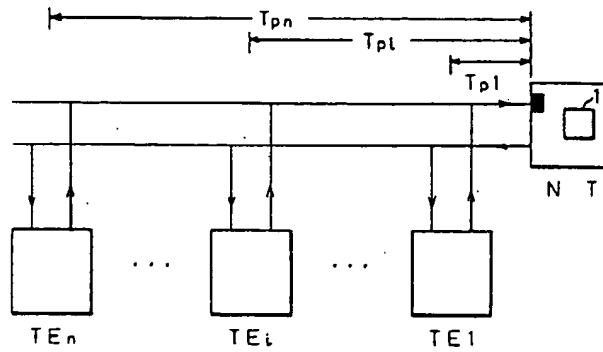
第 1 図

図面の浄書



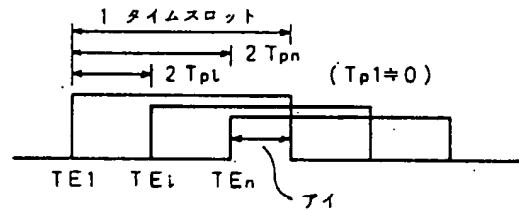
第 1 図位相同期回路の動作タイミングチャート

第 2 図



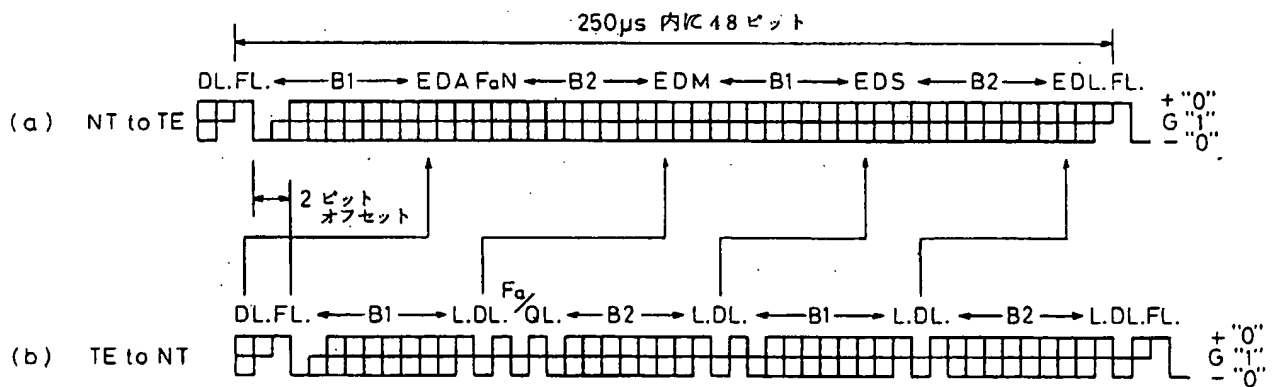
本発明が適用されるインターフェースのバス接続形態図

第 3 図



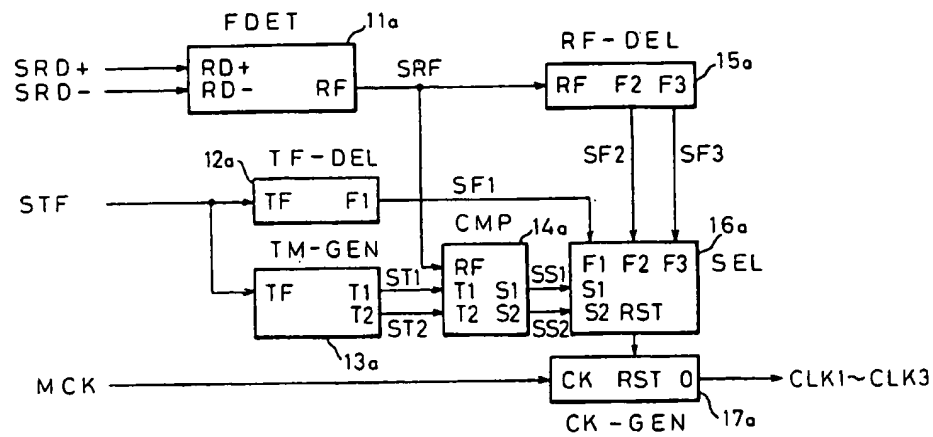
第 3 図の信号伝搬タイミング図

第 5 図



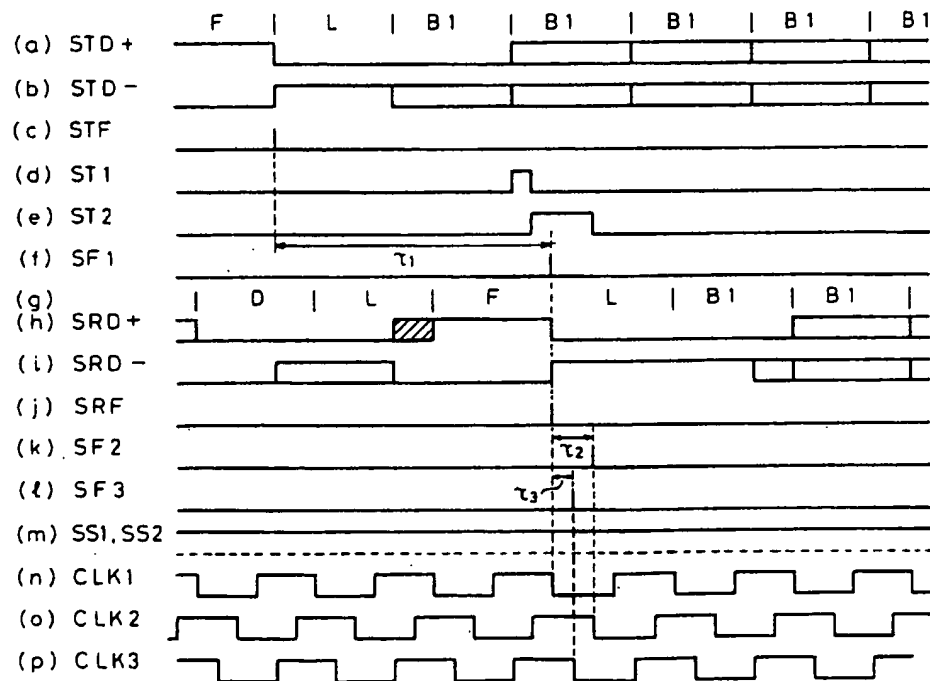
本発明の位相同期回路に適用される
I インターフェースの信号フレーム構成図

第 4 図



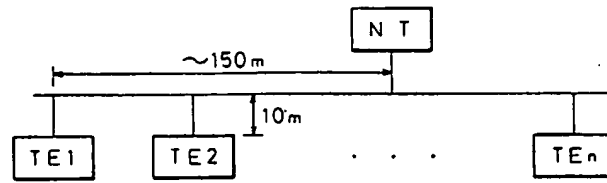
本発明の実施例の位相同期回路図

第6図

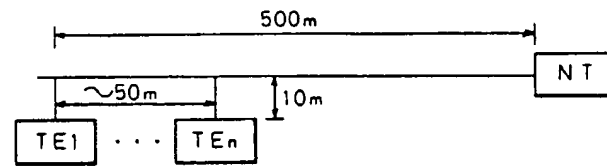


第3図の位相同期回路の動作タイミングチャート

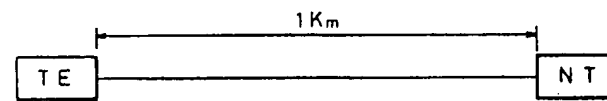
第7図



(a) シングルバス



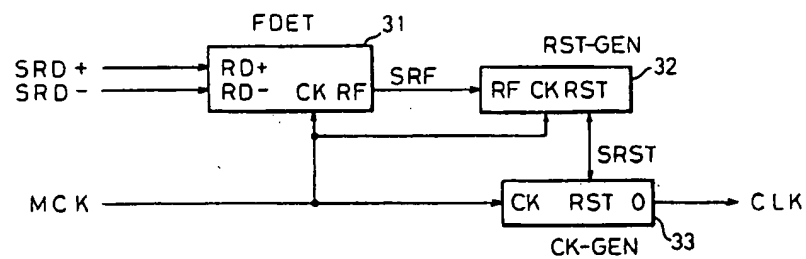
(b) 拡張バス



(c) ポイント・ツー・ポイント

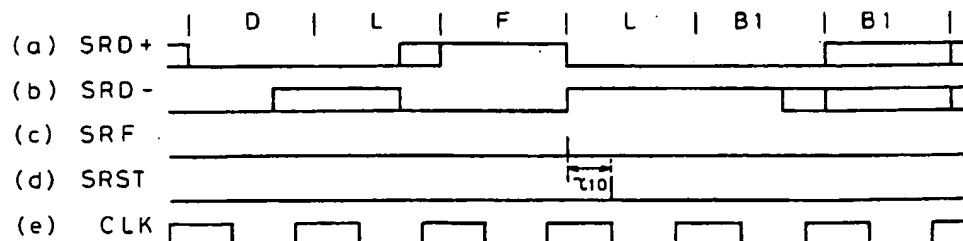
I インタフェースにおける配線形態図

第 8 図



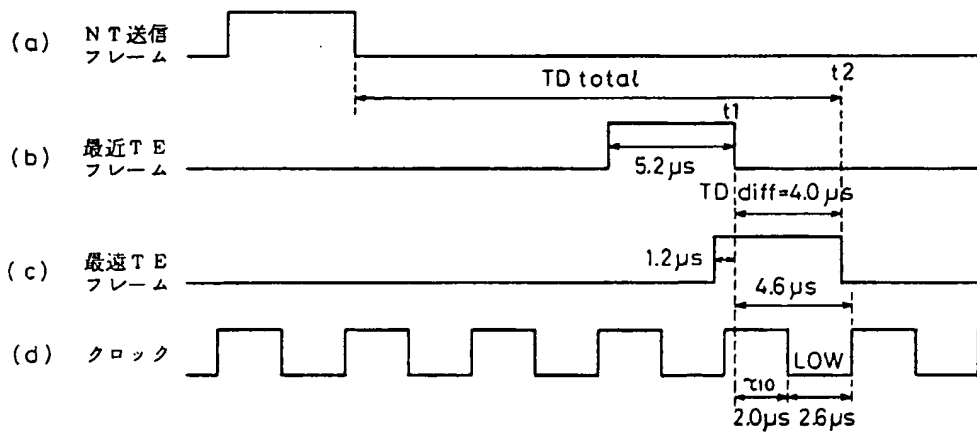
従来の位相同期回路図

第 9 図



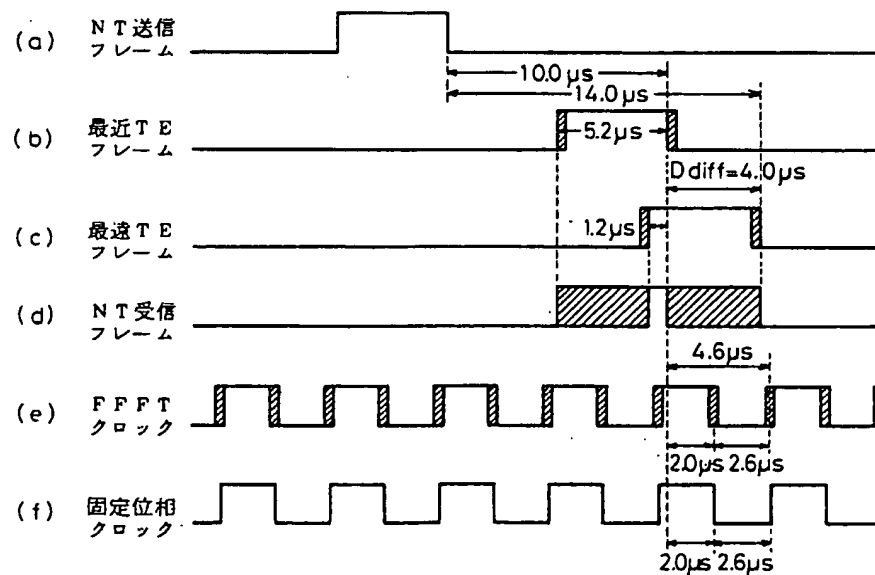
第 9 図位相同期回路の動作タイミング図

第 10 図



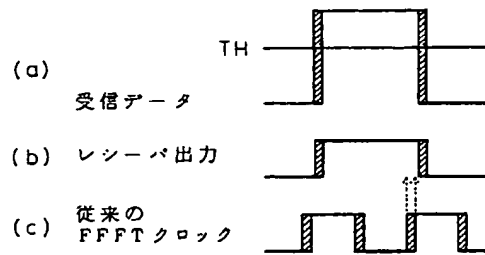
遅延時間を求めることを説明するタイミングの図

第 11 図



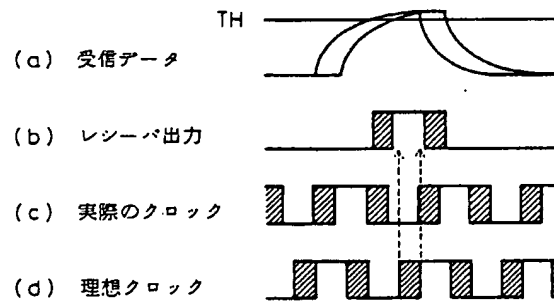
従来の位相同期回路の動作タイミング図

第 12 図



従来の位相同期回路の動作タイミング図

第 13 図



従来の位相同期回路の動作タイミング図

第 14 図

第 1 頁の続き

⑦発明者 村 野 和 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑧発明者 奥 村 康 行 東京都武蔵野市緑町 3 丁目 9 番11号 日本電信電話株式会社通信網第一研究所内

手続補正書(方式)

昭和62年11月10日

特許庁長官 小川 邦夫 殿

1. 事件の表示

昭和62年特許願第190312号

2. 発明の名称

通信システムの位相同期回路

3. 補正をする者

事件との関係 特許出願人

名称 (522) 富士通株式会社

名称 (422) 日本電信電話株式会社

4. 代理人

住所 〒105 東京都港区虎ノ門一丁目8番10号

静光虎ノ門ビル 電話 504-0721

氏名 弁理士(6579) 青木 朗

(外3名)

5. 補正命令の日付

昭和62年11月27日(発送日)

6. 補正の対象

図面(第2図(a)~(g))

7. 補正の内容

第2図(a)~(g)を別紙のとおり補正する。

8. 添付書類の目録

図面(第2図(a)~(g))

1通